

DEALOG(R) File 347:JAPIC
(c) 2000 JPO & JAPIO. All rts. reserv.

05412468 **Image available**

MANUFACTURE OF ELECTRON EMITTING ELEMENT, ELECTRON SOURCE, AND IMAGE FORMING DEVICE

PUB. NO.: 09-027268 JP 9027268 A]

PUBLISHED: January 28, 1997 (19970128)

INVENTOR(s): ONISHI TOSHIICHI

YAMANOBE MASATO

IWASAKI TATSUYA

APPLICANT(s): CANON INC [000100] (A Japanese Company or Corporation), JP (Japan)

APPL. NO.: 07-197964 [JP 95197964]

FILED: July 12, 1995 (19950712)

INTL CLASS: [6] H01J-009/02

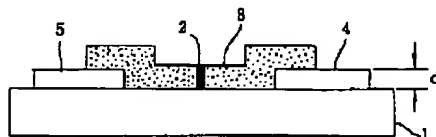
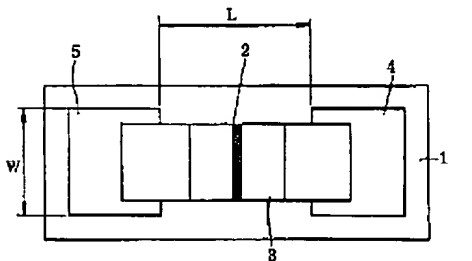
JAPIO CLASS: 42.3 (ELECTRONICS -- Electron Tubes); 29.4 (PRECISION INSTRUMENTS -- Business Machines); 44.6 (COMMUNICATION -- Television); 44.9 (COMMUNICATION -- Other)

JAPIO KEYWORD: R003 (ELECTRON BEAM); R020 (VACUUM TECHNIQUES)

ABSTRACT

PROBLEM TO BE SOLVED: To provide a surface conduction type electron emitting element having high electron emission efficiency and having high stability when driven over a long time.

SOLUTION: This method for manufacturing a surface conduction type electron emitting element provided with a conductive film 3 having an electron emitting part 2 between electrodes 4, 5 includes a process for forming a carbonaceous coating in the gap of the conductive film 3 that serves as the electron emitting part 2 and for applying a voltage to the coating in an evacuated atmosphere. The crystalline property of the carbonaceous coating can thus be enhanced.



DIALOG(R) File 345:Inpac Fam. & Legal Stat
(c) 2000 EPO. All rts. reserv.

13525418

Basic Patent (No,Kind,Date): JP 9027268 A2 970128 <No. of Patents: 001>

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
JP 9027268	A2	970128	JP 95197964	A	950712 (BASIC)

Priority Data (No,Kind,Date):

JP 95197964 A 950712

PATENT FAMILY:

JAPAN (JP)

Patent (No,Kind,Date): JP 9027268 A2 970128

MANUFACTURE OF ELECTRON EMITTING ELEMENT, ELECTRON SOURCE, AND IMAGE
FORMING DEVICE (English)

Patent Assignee: CANON KK

Author (Inventor): ONISHI TOSHIICHI; YAMANOBE MASATO; IWASAKI TATSUYA

Priority (No,Kind,Date): JP 95197964 A 950712

Applic (No,Kind,Date): JP 95197964 A 950712

IPC: * H01J-009/02

CA Abstract No: * 126(16)219658Z; 126(16)219658Z

Derwent WPI Acc No: * G 97-151540; G 97-151540

Language of Document: Japanese

DIALOG(R)File 351:DERW WPI
(c) 2000 Derwent Info Ltd. All rts. reserv.

011173615 **Image available**

WPI Acc No: 97-151540/199714

XRPX Acc No: N97-125297

**Electron-emitting device mfg. method for e.g. image forming appts. -
involves using carbonaceous coating for gap found in emission electron
device of electrically conductive film develop by applying voltage at
exhaust air**

Patent Assignee: CANON KK (CANO)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Main IPC	Week
JP 9027268	A	19970128	JP 95197964	A	19950712	H01J-009/02	199714 B

Priority Applications (No Type Date): JP 95197964 A 19950712

Patent Details:

Patent	Kind	Lan	Pg	Filing Notes	Application	Patent
JP 9027268	A		22			

Abstract (Basic): JP 9027268 A

The method involves using of an electron-emitting device having an electrode (4,5) between an electrically conductive film that has an electron emission device (2).

A voltage is applied at the exhaust air of the electrically conductive film developing the carbonaceous coating as the principal component at the gap found in the electron emission device.

ADVANTAGE - Provides high stability for electron-emitting element by coating area containing gap of electrically conductive film. Provides bright high-definitive image forming appts. by stabilizing flow of electron.

Dwg.1/19

Title Terms: ELECTRON; EMIT; DEVICE; MANUFACTURE; METHOD; IMAGE; FORMING; APPARATUS; CARBONACEOUS; COATING; GAP; FOUND; EMIT; ELECTRON; DEVICE; ELECTRIC; CONDUCTING; FILM; DEVELOP; APPLY; VOLTAGE; EXHAUST; AIR

Derwent Class: V05

International Patent Class (Main): H01J-009/02

File Segment: EPI

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-27268

(43) 公開日 平成9年(1997)1月28日

(51) Int.Cl.⁶

H 0 1 J 9/02

識別記号

庁内整理番号

F I

H 0 1 J 9/02

技術表示箇所

B

審査請求 未請求 請求項の数26 F D (全 22 頁)

(21) 出願番号 特願平7-197964

(22) 出願日 平成7年(1995)7月12日

(71) 出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72) 発明者 大西 敏一

東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

(72) 発明者 山野辺 正人

東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

(72) 発明者 岩崎 達哉

東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

(74) 代理人 弁理士 豊田 善雄 (外1名)

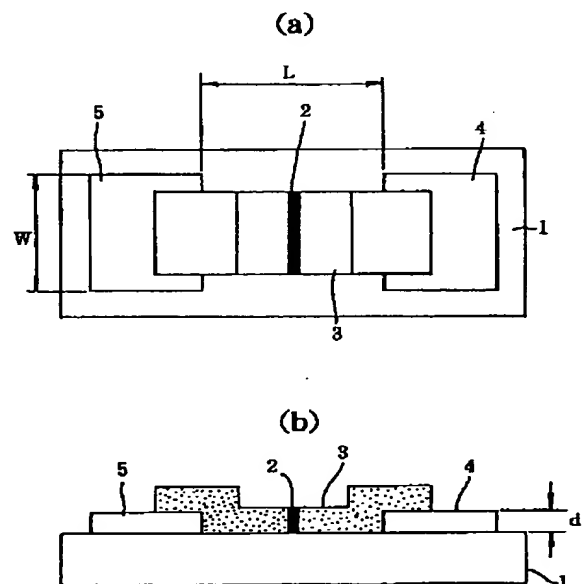
(54) 【発明の名称】 電子放出素子、電子源及び画像形成装置の製造方法

(57) 【要約】

【目的】 電子放出効率が高く、かつ長時間駆動における安定性の高い表面伝導型電子放出素子を得る。

【構成】 電極4、5間に、電子放出部2を有する導電性膜3を備える表面伝導型電子放出素子の製造方法において、電子放出部2となる導電性膜3の間隙部に炭素質被膜を形成した後、該被膜に真空排気後の雰囲気下で電圧を印加する工程を有する。

【効果】 炭素質被膜の結晶性を高めることができる。



1

【特許請求の範囲】

【請求項1】 電極間に、電子放出部を有する導電性膜を備える電子放出素子の製造方法において、一部に間隙を有し、少なくとも該間隙部に炭素を主成分とする膜を有する導電性膜に、排気後に電圧を印加する工程を有することを特徴とする電子放出素子の製造方法。

【請求項2】 電極間に、電子放出部を有する導電性膜を備える電子放出素子の製造方法において、一部に間隙を有する導電性膜の少なくとも該間隙部に、炭素を主成分とする膜を形成する工程と、前記炭素を主成分とする膜を有する導電性膜に、排気後に電圧を印加する工程とを有することを特徴とする電子放出素子の製造方法。

【請求項3】 前記炭素を主成分とする膜を形成する工程と、排気後に電圧を印加する工程とを繰り返す工程を有する請求項2に記載の電子放出素子の製造方法。

【請求項4】 前記導電性膜の間隙部に炭素を主成分とする膜を形成する工程は、炭素あるいは炭素化合物の雰囲気下にて、該導電性膜に電圧を印加する工程を有する請求項2又は3に記載の電子放出素子の製造方法。

【請求項5】 更に、導電性膜に間隙を形成する工程を有する請求項2～4のいずれかに記載の電子放出素子の製造方法。

【請求項6】 前記導電性膜に間隙を形成する工程は、該導電性膜に電圧を印加する工程を有する請求項5に記載の電子放出素子の製造方法。

【請求項7】 前記導電性膜に間隙を形成する工程における導電性膜への電圧の印加は、電圧値を時間とともに増加させて行う請求項6に記載の電子放出素子の製造方法。

【請求項8】 前記排気後に導電性膜に印加される電圧値は、前記導電性膜に間隙を形成する工程において導電性膜に印加される電圧値よりも小さい請求項6又は7に記載の電子放出素子の製造方法。

【請求項9】 前記排気後に電圧を印加する工程は、前記炭素を主成分とする膜を加熱する工程を有する請求項1～8のいずれかに記載の電子放出素子の製造方法。

【請求項10】 前記排気後に電圧を印加する工程は、前記炭素を主成分とする膜の結晶性を向上させる工程である請求項1～9のいずれかに記載の電子放出素子の製造方法。

【請求項11】 前記排気後の雰囲気は、 1×10^{-6} torr以下である請求項1～10のいずれかに記載の電子放出素子の製造方法。

【請求項12】 前記導電性膜は、微粒子からなる請求項1～11のいずれかに記載の電子放出素子の製造方法。

【請求項13】 前記微粒子は、金属あるいは金属酸化物である請求項12に記載の電子放出素子の製造方法。

2

【請求項14】 前記炭素を主成分とする膜は、アモルファスカーボンあるいはグラファイトあるいはこれらの混合物を主体としてなる請求項1～13のいずれかに記載の電子放出素子の製造方法。

【請求項15】 前記電子放出素子は、表面伝導型電子放出素子である請求項1～14のいずれかに記載の電子放出素子の製造方法。

【請求項16】 電子放出素子と前記電子放出素子の駆動手段とを有する電子源の製造方法において、前記電子放出素子が、請求項1～15のいずれかに記載の方法にて製造されることを特徴とする電子源の製造方法。

【請求項17】 前記電子源は、複数の電子放出素子が並列に結線された素子列を少なくとも1列以上有する電子源である請求項16に記載の電子源の製造方法。

【請求項18】 前記電子源は、複数の電子放出素子が結線された素子列の複数列がマトリクス配置されている電子源である請求項16に記載の電子源の製造方法。

【請求項19】 電子放出素子と電子線の照射により画像を形成する画像形成部材とを有する画像形成用パネルの製造方法において、前記電子放出素子が、請求項1～15のいずれかに記載の方法にて製造されることを特徴とする画像形成用パネルの製造方法。

【請求項20】 前記画像形成用パネルは、前記電子放出素子の複数の並列に結線された素子列を少なくとも1列以上有する画像形成用パネルである請求項19に記載の画像形成用パネルの製造方法。

【請求項21】 前記画像形成用パネルは、前記電子放出素子の複数の結線された素子列の複数列がマトリクス配置されている画像形成用パネルである請求項19に記載の画像形成用パネルの製造方法。

【請求項22】 前記画像形成部材が、蛍光体である請求項19～21のいずれかに記載の画像形成用パネルの製造方法。

【請求項23】 電子放出素子と、画像形成部材と、前記電子放出素子から放出される電子線の前記画像形成部材への照射を情報信号に応じて制御する駆動手段とを有する画像形成装置の製造方法において、

前記電子放出素子が請求項1～15のいずれかに記載の方法にて製造されることを特徴とする画像形成装置の製造方法。

【請求項24】 前記画像形成装置は、前記電子放出素子の複数の並列に結線された素子列を少なくとも1列以上有する画像形成装置である請求項23に記載の画像形成装置の製造方法。

【請求項25】 前記画像形成装置は、前記電子放出素子の複数の結線された素子列の複数列がマトリクス配置されている画像形成装置である請求項23に記載の画像形成装置の製造方法。

【請求項26】 前記画像形成部材が、蛍光体である請求項23～25のいずれかに記載の画像形成装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、電子放出素子、該素子を多数個配置してなる電子源、及び該電子源を用いて構成した表示装置や露光装置等の画像形成装置の製造方法に関する。

【0002】

【従来の技術】従来、電子放出素子には大別して熱電子放出素子と冷陰極電子放出素子の2種類が知られている。冷陰極電子放出素子には電界放出型（以下、「FE型」と称す。）、金属／絶縁層／金属型（以下、「MIM型」と称す。）や表面伝導型電子放出素子等が有る。

【0003】FE型の例としては、W. P. Dyke and W. W. Dolan, "Field Emission", Advance in Electron Physics, 8, 89 (1956) あるいはC. A. Spindt, "Physical Properties of thin-film field emission cathodes with molybdenum cones", J. Appl. Phys., 47, 5248 (1976) 等に開示されたものが知られている。

【0004】MIM型の例としては、C. A. Mead, "Operation of Tunnel-Emission Devices", J. Appl. Phys., 32, 646 (1961) 等に開示されたものが知られている。

【0005】表面伝導型電子放出素子の例としては、M. I. Elinson, Radio Eng. Electron Phys., 10, 1290 (1965) 等に開示されたものがある。

【0006】表面伝導型電子放出素子は、絶縁性基板上に形成された小面積の薄膜に、膜面に平行に電流を流すことにより、電子放出が生ずる現象を利用するものである。この表面伝導型電子放出素子としては、前記エリンソン等による SnO_2 薄膜を用いたもの、Au薄膜によるもの[G. Dittmer: "Thin Solid Films", 9, 317 (1972)]、 $\text{In}_2\text{O}_3/\text{SnO}_2$ 薄膜によるもの[M. Hartwell and C. G. Fonstad: "IEEE Trans. ED Conf.", 519 (1975)]、カーボン薄膜によるもの[荒木久 他: 真空、第26巻、第1号、22頁(1983)]等が報告されている。

【0007】表面伝導型電子放出素子は、絶縁性の基板上に形成された導電性膜に、膜面に平行に電流を流すことにより電子放出が生ずる現象を利用するものである。

【0008】表面伝導型電子放出素子の典型的な構成例としては、絶縁性の基板上に設けた一対の素子電極間を連絡する金属酸化物等の導電性膜に、予めフォーミングと称される通電処理により電子放出部を形成したものが挙げられる。フォーミングは、導電性膜の両端に直流電圧あるいは非常にゆっくりとした昇電圧、例えば1V/1分程度の昇電圧を印加通電することで通常行われ、導電性膜を局所的に破壊、変形もしくは変質させて構造を変化させ、電気的に高抵抗な状態の電子放出部を形成する処理である。電子放出は、上記電子放出部が形成された導電性膜に電圧を印加して電流を流すことにより、電子放出部に発生した亀裂付近から行われる。

【0009】上記表面伝導型電子放出素子は、構造が単純で製造も容易であることから、大面積に亘って多数配列形成できる利点がある。そこで、この特徴を活かすための種々の応用が研究されている。例えば表示装置等の画像形成装置への利用が挙げられる。

【0010】従来、多数の表面伝導型電子放出素子を配列形成した例としては、並列に表面伝導型電子放出素子を配列し、個々の表面伝導型電子放出素子の両端（両素子電極）を配線（共通配線とも呼ぶ）にて夫々結線した行を多数行配列（梯型配置とも呼ぶ）した電子源が挙げられる（特開昭64-31332号公報、同1-283749号公報、同2-257552号公報）。また、特に表示装置においては、液晶を用いた表示装置と同様の平板型表示装置とすることが可能で、しかもバックライトが不要な自発光型の表示装置として、表面伝導型電子放出素子を多数配置した電子源と、この電子源からの電子線の照射により可視光を発光する蛍光体とを組み合わせた表示装置が提案されている（アメリカ特許第5066883号明細書）。

【0011】

【発明が解決しようとする課題】前記電子源、画像形成装置等に用いられる電子放出素子を長時間駆動するに際しては安定で制御された電子放出特性及びその効率の向上が望まれて来た。

【0012】上記の効率とは、例えば前述の表面伝導型電子放出素子であれば、一対の対向する素子電極に電圧を印加したとき、流れる電流（以降、「素子電流 I_f 」と呼ぶ）に対する真空中に放出される電流（以降、「放出電流 I_e 」と呼ぶ）との電流比をさす。つまり、素子電流 I_f はできるだけ小さく、放出電流 I_e はできるだけ大きいことが望ましい。

【0013】安定で制御された電子放出特性と効率の向上がなされれば、例えば蛍光体を画像形成部材とする画像形成装置においては、低電流で明るい高品位な画像形成装置、例えばフラットテレビが実現される。また、低電流化にとめない、画像形成装置を構成する駆動回路等も安価になることも期待できる。

【0014】従来、上記効率の向上のため、前記フォー

ミング処理をした表面伝導型電子放出素子に対して、有機化合物ガスを含む雰囲気中で、電子放出部を含む導電性膜に電圧を印加する工程（以後、この工程を活性化と呼ぶ）を行っていた。このような活性化後の素子には、電子放出部（またはその近傍）に炭素及び炭素化合物が堆積されていると考えられている。

【0015】しかしながら、上記の方法で作製された一般的な表面伝導型電子放出素子は、有機化合物ガスを排気された状態で電子放出のための駆動を長時間行くと、放出電流が低下してくるという問題点があった。

【0016】上記放出電流の低下の一因として、堆積された炭素質被膜が、長時間の駆動に伴って脱離することが考えられ、該被膜の結晶性の良否が、電子源及び画像形成装置の安定性に寄与している。つまりは、結晶性が高い炭素を主成分とする被膜が形成できれば、放出電流 I_e を上昇させることに加え、素子毎の電子放出特性のバラツキを抑制させることができる。また、長時間駆動が可能となり、更には、安定な電子源及び画像形成装置を作製することが期待できる。

【0017】本発明の目的は、上記事情に鑑み、長時間駆動しても、電子放出効率を高いまま維持でき安定に駆動し得る電子放出素子及びそれを用いた電子源及び画像形成装置の製法を提供することにある。

【0018】

【課題を解決するための手段】上記目的を達成すべく成された本発明の構成は以下の通りである。

【0019】即ち、本発明の第一は、電極間に、電子放出部を有する導電性膜を備える電子放出素子の製造方法において、一部に間隙を有し、少なくとも該間隙部に炭素を主成分とする膜を有する導電性膜に、排気後に電圧を印加する工程を有することを特徴とする電子放出素子の製造方法にある。

【0020】また、本発明の第二は、電極間に、電子放出部を有する導電性膜を備える電子放出素子の製造方法において、一部に間隙を有する導電性膜の少なくとも該間隙部に、炭素を主成分とする膜を形成する工程と、前記炭素を主成分とする膜を有する導電性膜に、排気後に電圧を印加する工程とを有することを特徴とする電子放出素子の製造方法にある。

【0021】上記本発明第二は、さらにその特徴として、「前記炭素を主成分とする膜を形成する工程と、排気後に電圧を印加する工程とを繰り返す過程を有する」こと、「前記導電性膜の間隙部に炭素を主成分とする膜を形成する工程は、炭素あるいは炭素化合物の雰囲気下にて、該導電性膜に電圧を印加する工程を有する」こと、「導電性膜に間隙を形成する工程を有する」こと、「前記導電性膜に間隙を形成する工程は、該導電性膜に電圧を印加する工程を有する」こと、「前記導電性膜に間隙を形成する工程における導電性膜への電圧の印加は、電圧値を時間とともに増加させて行う」こと、

「前記排気後に導電性膜に印加される電圧値は、前記導電性膜に間隙を形成する工程において導電性膜に印加される電圧値よりも小さい」こと、をを含むものである。

【0022】また、上記本発明第一及び第二は、さらにその特徴として、「前記排気後に電圧を印加する工程は、前記炭素を主成分とする膜を加熱する工程を有する」こと、「前記排気後に電圧を印加する工程は、前記炭素を主成分とする膜の結晶性を向上させる工程である」こと、「前記排気後の雰囲気は、 1×10^{-6} torr 以下である」こと、「前記導電性膜は、微粒子からなる」こと、「前記微粒子は、金属あるいは金属酸化物である」こと、「前記炭素を主成分とする膜は、アモルファスカarbonあるいはグラファイトあるいはこれらの混合物を主体としてなる」こと、「前記電子放出素子は、表面伝導型電子放出素子である」こと、をを含むものである。

【0023】また、本発明の第三は、電子放出素子と前記電子放出素子の駆動手段とを有する電子源の製造方法において、前記電子放出素子が、前記本発明第一又は第二の方法にて製造されることを特徴とする電子源の製造方法にある。

【0024】上記本発明第三は、さらにその特徴として、「前記電子源は、複数の電子放出素子が並列に結線された素子列を少なくとも1列以上有する電子源である」こと、「前記電子源は、複数の電子放出素子が結線された素子列の複数列がマトリクス配置されている電子源である」こと、をを含むものである。

【0025】また、本発明の第四は、電子放出素子と電子線の照射により画像を形成する画像形成部材とを有する画像形成用パネルの製造方法において、前記電子放出素子が、前記本発明第一又は第二の方法にて製造されることを特徴とする画像形成用パネルの製造方法にある。

【0026】上記本発明第四は、さらにその特徴として、「前記画像形成用パネルは、前記電子放出素子の複数が並列に結線された素子列を少なくとも1列以上有する画像形成用パネルである」こと、「前記画像形成用パネルは、前記電子放出素子の複数が結線された素子列の複数列がマトリクス配置されている画像形成用パネルである」こと、「前記画像形成部材が、蛍光体である」こと、をを含むものである。

【0027】更に、本発明の第五は、電子放出素子と、画像形成部材と、前記電子放出素子から放出される電子線の前記画像形成部材への照射を情報信号に応じて制御する駆動手段とを有する画像形成装置の製造方法において、前記電子放出素子が前記本発明第一又は第二の方法にて製造されることを特徴とする画像形成装置の製造方法にある。

【0028】上記本発明第五は、さらにその特徴として、「前記画像形成装置は、前記電子放出素子の複数が並列に結線された素子列を少なくとも1列以上有する画

像形成装置である」こと、「前記画像形成装置は、前記電子放出素子の複数が結線された素子列の複数列がマトリクス配置されている画像形成装置である」こと、「前記画像形成部材が、蛍光体である」こと、をも含むものである。

【0029】

【発明の実施の形態】上記のように、本発明は、電子放出素子、この電子放出素子を複数個備えた電子源、これを用いた画像形成用パネル並びに画像形成装置の新規な製造方法に係るもので、各発明の構成及び作用を以下に更に説明する。

【0030】本発明に係る電子放出素子は、先述したような冷陰極型の電子放出素子に分類されるもので、それらの中でも電子放出特性等の観点から特に表面伝導型の電子放出素子が好適である。このため、以下では表面伝導型電子放出素子を例に挙げて説明する。

【0031】本発明に係る表面伝導型電子放出素子には平面型と垂直型がある。まず、平面型の表面伝導型電子放出素子の基本的な構成について説明する。

【0032】図1(a)、(b)は、平面型の表面伝導型電子放出素子の基本的な構成を示す図であり、図中、1は基板、2は電子放出部、3は導電性膜、4と5は電極(素子電極)である。

【0033】基板1としては、例えば石英ガラス、Na等の不純物含有量を減少させたガラス、青板ガラス、青板ガラスにスパッタ法等によりSiO₂を積層した積層体、アルミナ等のセラミックス等が挙げられる。

【0034】対向する素子電極4、5の材料としては、一般的導体材料が用いられ、例えばNi、Cr、Au、Mo、W、Pt、Ti、Al、Cu、Pd等の金属あるいは合金及びPd、Ag、Au、RuO₂、Pd-Ag等の金属あるいは金属酸化物とガラス等から構成される印刷導体、In₂O₃-SnO₂等の透明導電体及びポリシリコン等の半導体導体材料等から適宜選択される。

【0035】素子電極間隔L、素子電極長さW、導電性膜3の形状等は、応用される形態等によって設計される。

【0036】素子電極間隔Lは、数百オングストロームから数百マイクロメートルであることが好ましく、より好ましくは、素子電極4、5間に印加する電圧等により、数マイクロメートルから数十マイクロメートルである。

【0037】素子電極長さWは、電極の抵抗値や電子放出特性を考慮すると、好ましくは数マイクロメートルから数百マイクロメートルであり、また素子電極厚dは、数百オングストロームから数マイクロメートルである。

【0038】尚、図1に示される電子放出素子は、基板1上に、素子電極4、5、導電性膜3の順に積層されたものとなっているが、基板1上に、導電性膜3、素子電極4、5の順に積層したものとしてもよい。

【0039】導電性膜3は、良好な電子放出特性を得るためには、微粒子で構成された微粒子膜であることが特に好ましく、その膜厚は、素子電極4、5へのステップカバレッジ、素子電極4、5間の抵抗値及び後述するフォーミング条件等によって適宜選択される。この導電性膜3の膜厚は、好ましくは数オングストロームから数千オングストロームで、特に好ましくは10オングストロームから500オングストロームであり、その抵抗値は、10の3乗から10の7乗オーム/□のシート抵抗値である。

【0040】なお、本明細書では頻繁に「微粒子」という言葉を用いるので、その意味について説明する。

【0041】小さな粒子を「微粒子」と呼び、これよりも小さなものを「超微粒子」と呼ぶ。「超微粒子」よりもさらに小さく、原子の数が数百個程度以下のものを「クラスター」と呼ぶことは広く行われている。

【0042】しかしながら、それぞれの境は厳密なものではなく、どのような性質に注目して分類するかにより変化する。また「微粒子」と「超微粒子」を一括して「微粒子」と呼ぶ場合もあり、本明細書中での記述はこれに沿ったものである。

【0043】例えば、「実験物理学講座14 表面・微粒子」(木下是雄 編、共立出版1986年9月1日発行)では、「本稿で微粒子と言うときにはその直径がだいたい2~3μm程度から10nm程度までとし、特に超微粒子というときは粒径が10nm程度から2~3nm程度までを意味することにする。両者を一括して単に微粒子と書くこともあってけっして厳密なものではなく、だいたいの目安である。粒子を構成する原子の数が2個から数十~数百個程度の場合はクラスターと呼ぶ。」(195ページ 22~26行目)と記述されている。

【0044】付言すると、新技術開発事業団の“林・超微粒子プロジェクト”での「超微粒子」の定義は、粒径の下限はさらに小さく、次のようなものであった。

【0045】「創造科学技術推進制度の“超微粒子プロジェクト”(1981~1986)では、粒子の大きさ(径)がおおよそ1~100nmの範囲のものを“超微粒子”(ultra fine particle)と呼ぶことにした。すると1個の超微粒子はおおよそ100~10⁸個くらいの原子の集合体という事になる。原子の尺度でみれば超微粒子は大~巨大粒子である。」(「超微粒子-創造科学技術」林主税、上田良二、田崎明 編;三田出版 1988年 2ページ1~4行目) / 「超微粒子よりさらに小さいもの、すなわち原子が数個~数百個で構成される1個の粒子は、ふつうクラスターと呼ばれる」(同書2ページ12~13行目)。

【0046】上記のような一般的な呼び方をふまえて、本明細書において「微粒子」とは多数の原子・分子の集合体で、粒径の下限は数Å~10Å程度、上限は数μm

程度のものを指すこととする。

【0047】導電性膜3を構成する材料としては、例えばPd, Pt, Ru, Ag, Au, Ti, In, Cu, Cr, Fe, Zn, Sn, Ta, W, Pb等の金属、PdO, SnO₂, In₂O₃, PbO, Sb₂O₃等の酸化物、HfB₂, ZrB₂, LaB₆, CeB₆, YB₄, Gd₂B₄等の硼化物、TiC, ZrC, HfC, TaC, SiC, WCなどの炭化物、TiN, ZrN, HfN等の窒化物、Si, Ge等の半導体、カーボン等が挙げられる。

【0048】尚、上記微粒子膜とは、複数の微粒子が集合した膜であり、その微細構造として、微粒子が個々に分散配置した状態のみならず、微粒子が互いに隣接、あるいは重なり合った状態（いくつかの微粒子が集合し、全体として島状構造を形成している場合も含む）の膜をさす。微粒子膜である場合、微粒子の粒径は、数オングストロームから数千オングストロームであることが好ましく、特に好ましくは10オングストロームから200オングストロームである。

【0049】電子放出部2には亀裂が含まれており、電子放出はこの亀裂付近から行われる。この亀裂を含む電子放出部2及び亀裂自体は、導電性膜3の膜厚、膜質、材料及び後述するフォーミング条件等の製法に依存して形成される。従って、電子放出部2の位置及び形状は図1に示されるような位置及び形状に特定されるものではない。

【0050】亀裂内部には、数オングストロームから数百オングストロームの粒径の導電性微粒子を有することもある。この導電性微粒子は、導電性膜3を構成する材料の元素の一部、あるいは総てと同様のものである。また、亀裂を含む電子放出部2及びその近傍の導電性膜3は炭素を主成分とする膜を有する。

【0051】次に、垂直型の表面伝導型電子放出素子の基本的な構成について説明する。

【0052】図2は、垂直型の表面伝導型電子放出素子の基本的な構成を示す図で、図中21は段差形成部材で、その他図1と同じ符号は同じ部材を示すものである。

【0053】基板1、電子放出部2、導電性膜3、素子電極4、5は、前述した平面型の表面伝導型電子放出素子と同様の材料で構成されたものである。

【0054】段差形成部材21は、例えば真空蒸着法、印刷法、スパッタ法等で付設されたSiO₂等の絶縁性材料で構成されたものである。この段差形成部材21の膜厚は、先に述べた平面型の表面伝導型電子放出素子の素子電極間隔（図1参照）に対応するもので、段差形成部材21の作成法や素子電極4、5間に印加する電圧等により設定されるが、好ましくは数百オングストロームから数十マイクロメートルであり、特に好ましくは数百オングストロームから数マイクロメートルである。

【0055】導電性膜3は、通常、素子電極4、5の作成後に形成されるので、素子電極4、5の上に積層されるが、導電性膜3の形成後に素子電極4、5を作成し、導電性膜3の上に素子電極4、5が積層されるようにすることも可能である。また、平面型の表面伝導型電子放出素子の説明においても述べたように、電子放出部2の形成は、導電性膜3の膜厚、膜質、材料及び後述するフォーミング条件等の製法に依存するので、その位置及び形状は図2に示されるような位置及び形状に特定されるものではない。

【0056】尚、以下の説明は、上述の平面型の表面伝導型電子放出素子と垂直型の表面伝導型電子放出素子の内、平面型を例にして説明するが、平面型の表面伝導型電子放出素子に代えて垂直型の表面伝導型電子放出素子としてもよい。

【0057】本発明に好適な表面伝導型電子放出素子の基本構成の製法としては様々な方法が考えられるが、その一例を図3に基づいて説明する。尚、図3において図1と同じ符号は同じ部材を示すものである。

【0058】1) 基板1を洗剤、純水及び有機溶剤により十分に洗浄した後、真空蒸着法、スパッタ法等により素子電極材料を堆積させた後、フォトリソグラフィ技術等により基板1の面上に素子電極4、5を形成する（図3(a)）。

【0059】2) 素子電極4、5を設けた基板1上に有機金属溶液を塗布して放置することにより、素子電極4と素子電極5間を連絡して有機金属膜を形成する。尚、有機金属溶液とは、前述の導電性膜3の構成材料の金属を主元素とする有機化合物の溶液である。この後、有機金属膜を加熱焼成処理し、リフトオフ、エッチング等によりパターンニングされた導電性膜3を形成する（図3(b)）。

【0060】尚、ここでは、有機金属溶液の塗布法により説明したが、これに限ることなく、例えば真空蒸着法、スパッタ法、化学的気相堆積法、分散塗布法、ディッピング法、スピンナー法等によって有機金属膜を形成することもできる。

【0061】3) 続いて、フォーミング工程を施す。このフォーミング工程の方法の一例として通電処理による方法を以下に説明するが、本発明に係るフォーミング工程はこれに限られるものではなく、導電性膜3に亀裂を生じさせて高抵抗状態を形成させる方法であれば良い。

【0062】素子電極4、5間に不図示の電源より通電すると、導電性膜3の部位に構造の変化した電子放出部2が形成される（図3(c)）。この通電処理により導電性膜3を局所的に破壊、変形もしくは変質せしめ、構造の変化した部位が電子放出部2である。

【0063】通電フォーミングの電圧波形の例を図4に示す。

【0064】電圧波形は、特にパルス波形が好ましく、パルス波高値を定電圧とした電圧パルスを連続的に印加する場合(図4(a))と、パルス波高値を増加させながら電圧パルスを印加する場合(図4(b))とがある。

【0065】まず、パルス波高値を定電圧とした場合について図4(a)で説明する。

【0066】図4(a)におけるT1及びT2は電圧波形のパルス幅とパルス間隔であり、例えば、T1を1マイクロ秒～10ミリ秒、T2を10マイクロ秒～100ミリ秒とし、波高値(フォーミング時のピーク電圧)を前述した電子放出素子の形態に応じて適宜選択して、10の-5乗torr程度の適当な真空度の真空雰囲気下で、数秒から数十分印加する。尚、印加する電圧波形は、図示される三角波に限定されるものではなく、矩形波等の所望の波形を用いても良く、その波高値及びパルス幅・パルス間隔等についても上述の値に限るものではなく、電子放出部2が良好に形成されるように、電子放出素子の抵抗値等に合わせて所望の値を選択することができる。

【0067】次に、パルス波高値を増加させながら電圧パルスを印加する場合について図4(b)で説明する。

【0068】図4(b)におけるT1及びT2は図4(a)と同様であり、波高値(フォーミング時のピーク電圧)を、例えば0.1Vステップ程度ずつ増加させ、図4(a)の説明と同様の適当な真空雰囲気下で印加する。

【0069】尚、パルス間隔T2中に、導電性膜3を局部的に破壊、変形もしくは変質させない程度の電圧、例えば0.1V程度の電圧で素子電流を測定して抵抗値を求め、例えば1Mオーム以上の抵抗を示したときにフォーミングを終了することが好ましい。

【0070】上記フォーミング工程からそれ以降の工程は、図5に示されるような測定評価系内で行うことができる。この測定評価系について説明する。

【0071】図5において、図1と同じ符号は同じ部材を示す。また、51は素子に素子電圧Vfを印加するための電源、50は素子電極4、5間の導電性膜3を流れる素子電流Ifを測定するための電流計、54は電子放出部2より放出される放出電流Ieを捕捉するためのアノード電極、53はアノード電極54に電圧を印加するための高圧電源、52は電子放出部2より放出される放出電流Ieを測定するための電流計、55は真空装置、56は排気ポンプである。

【0072】電子放出素子及びアノード電極54等は真空装置55内に設置され、この真空装置55には不図示の真空計等の必要な機器が具備されていて、所望の真空下で電子放出素子の測定評価ができるようになっている。

【0073】排気ポンプ56は、ターボポンプ、ロータ

リーポンプ等からなる通常の高真空装置系と、イオンポンプ等からなる超高真空装置系とから構成されている。また、真空装置55全体及び電子放出素子の基板1は、ヒーターにより200℃程度まで加熱できるようになっている。尚、この測定評価系は、後述するような表示パネルの組み立て段階において、表示パネル及びその内部を真空装置55及びその内部として構成することで、フォーミング工程及び後述するそれ以後の工程における測定評価及び処理に応用されるものである。

10 【0074】4)フォーミングを終えた素子には活性化工程1、2と呼ばれる処理を施すのが好ましい。これらの工程は、素子電流If、放出電流Ieの状態を著しく向上させることができる工程である。

【0075】活性化工程1とは、素子の電子放出部2及びその近傍に炭素及び炭素化合物を堆積させる工程である。即ち、上記フォーミングによって導電性膜3内に生じた高抵抗の構造の変化した部位(電子放出部2)に炭素及び炭素化合物を堆積させて、ある程度の電子放出性を更に付与する工程である。

20 【0076】この活性化工程1は、例えば、有機物質のガスを含む雰囲気下で、通電フォーミングと同様に、素子電極4、5間にパルスの印加を繰り返すことで行うことができる。上記雰囲気は、イオンポンプなどにより一旦十分に排気した真空中に適当な有機物質のガスを導入することによっても得られる。このときの好ましい有機物質のガス圧は、前述の応用の形態、真空容器の形状や、有機物質の種類などにより異なるため、適宜設定される。

30 【0077】適当な有機物質としては、アルカン、アルケン、アルキンの脂肪族炭化水素類、芳香族炭化水素類、アルコール類、アルデヒド類、ケトン類、アミン類、フェノール、カルボン、スルホン酸等の有機酸類等を挙げることが出来、具体的には、メタン、エタン、プロパンなど $C_n H_{2n+2}$ で表される飽和炭化水素、エチレン、プロピレンなど $C_n H_{2n}$ 等の組成式で表される不飽和炭化水素、ベンゼン、トルエン、メタノール、エタノール、ホルムアルデヒド、アセトアルデヒド、アセトン、メチルエチルケトン、メチルアミン、エチルアミン、フェノール、蟻酸、酢酸、プロピオン酸等が使用できる。この処理により、雰囲気中に存在する有機物質から、炭素あるいは炭素化合物が素子上に堆積し、素子電流If、放出電流Ieが、著しく変化ようになる。

40 【0078】上記活性化工程1は、例えば素子電流Ifや放出電流Ieを測定しながら行って、例えば放出電流Ieが飽和した時点で終了するようにすれば効果的であるので好ましい。尚、活性化工程1で印加する電圧パルスのパルス幅、パルス間隔、パルス波高値などは適宜設定されるものであるが、パルス波高値を増加させながら電圧パルスを印加するのが好ましく、また、パルス波高値は、フォーミングが完了した電圧から動作駆動電圧程

度まで徐々に増加させることが好ましい。

【0079】有機化合物ガスの導入分圧としては、通常の真空排気装置を用いた場合、 $10^{-1} \sim 10^{-7}$ torr 程度であることが好ましい。

【0080】素子に堆積される炭素及び炭素化合物とは、例えばグラファイト（いわゆるHOPG^{*}、PG（、GC）を包含し、HOPGはほぼ完全なグラファイト結晶構造、PGは結晶粒が200Å程度で結晶構造がやや乱れたもの、GCは結晶粒が20Å程度になり結晶構造の乱れがさらに大きくなったものを指す。）、非晶質カーボン（アモルファスカarbon及び、アモルファスカarbonと前記グラファイトの微結晶の混合物を指す）であり、その膜厚は、500Å以下の範囲とするのが好ましく、300Å以下の範囲とすることがより好ましい。

【0081】次に、活性化工程2を行う。この工程は、有機化合物ガスが充分排気された雰囲気中で、素子電極4、5間に電圧を印加する工程である。この時の印加電圧波形は、パルス波高値を一定にして電圧パルスを印加するのが好ましく、また、活性化工程1のパルス波高値を越えないことが好ましい。

【0082】上記有機化合物が排気された真空容器内の有機成分の分圧は、上記の炭素及び炭素化合物がほぼ新たに堆積しない分圧とする。この分圧は具体的には、例えば 1×10^{-8} torr以下が好ましく、さらには 1×10^{-10} torr以下が特に好ましい。さらに真空容器内を排気するときには、真空容器全体を加熱して、真空容器内壁や、電子放出素子に吸着した有機物質分子を排気しやすくするのが好ましい。このときの加熱条件は、80～200℃で5時間以上が望ましいが、特にこの条件に限るものではなく、真空容器の大きさや形状、電子放出素子の構成などの諸条件により適宜選ばれる条件により行う。真空容器内の圧力は極力低くすることが必要で、 $1 \sim 3 \times 10^{-7}$ torr以下が好ましく、さらに 1×10^{-8} torr以下が特に好ましい。

【0083】上記真空容器の排気に用いる真空排気装置は、装置から発生するオイルが素子の特性に影響を与えないように、オイルを使用しないものを用いるのが好ましい。具体的には、ソーブションポンプ、イオンポンプ等の真空排気装置を挙げることが出来る。

【0084】上記活性化工程2では、素子電流や放出電子により、前記活性化工程1で堆積された炭素及び炭素化合物が加熱されたり、電子照射されたりする。これにより、上記の炭素及び炭素化合物中から、残存する有機化合物ガスやその縮合反応生成物である炭素化合物が脱離したり、結晶性の低い炭素が炭化水素、一酸化炭素、二酸化炭素等として脱離すると同時に、ある程度の高い結晶性を有する炭素の中には、結晶の再配列を起こして、より結晶性の高い炭素へと変質する。尚、この過程においては、素子電流 I_f 及び放出電流 I_e は減少する

方向に推移する。

【0085】本発明においては、上記活性化工程1と活性化工程2を繰り返して行うことが好ましい。即ち、活性化工程1で形成された炭素及び炭素化合物中に、有機化合物ガスが多く残留していたり、その縮合反応生成物である炭素及び炭素化合物に結晶性の低いものが多く含まれている場合、活性化工程2を施すことにより炭化水素、一酸化炭素、二酸化炭素等として脱離させたとしても、必ずしも十分に結晶性の高いものが得られるとは限らない。このような結晶性の低い炭素及び炭素化合物が堆積したままでは、電子放出素子として安定性に乏しく、得られる放出電流が小さく、実用性が低い。つまり、上記炭素及び炭素化合物の結晶性は素子特性に大きな影響を与えるもので、炭化水素や非晶質カーボンよりも、グラファイトを多く含む結晶性が高いほうが、素子を高真空中に保持して駆動した際に劣化の少ない安定した特性を示すものである。そこで、上記活性化工程1、2を繰り返すと、素子上に形成される結晶性の良い炭素及び炭素化合物の量を多くすることができ、安定性を高め、放出電流も大きくすることが出来るものである。

【0086】また、活性化工程2において、脱離・結晶性向上のために、素子を加熱する事が好ましい。加熱温度としては、100～500℃が好ましい。

【0087】また、活性化工程2は、前述のように有機化合物ガスが排気された高真空、超高真空雰囲気下で行っても良いし、水、水素、酸素等のエッチングガスが導入された雰囲気手段で行っても良い。尚、これらのエッチングガスは、活性化工程2における脱離反応を促進させる働きがある。

【0088】図19は、上記活性化工程1と活性化工程2を繰り返した際の、素子電流の変化を示した図である。活性化工程1、2を繰り返すにしたがって、活性化工程2後の素子電流値が増加している。また、繰り返し行われる活性化工程で、最終の活性化工程2後の素子電流値が、すべての活性化工程1後の素子電流値を越えないように、各活性化工程1での炭素及び炭素化合物の堆積を充分に行うことが好ましい。

【0089】活性化工程2を行った後の、駆動時の雰囲気気は、活性化工程2終了時の雰囲気気を維持するのが好ましいが、これに限るものではなく、有機物質が十分除去されていれば、真空度自体は多少低下しても十分安定な特性を維持することが出来る。このような真空雰囲気を採用することにより、新たな炭素あるいは炭素化合物の堆積を抑制でき、結果として素子電流 I_f 、放出電流 I_e が安定する。

【0090】以上のようにして得られる表面伝導型電子放出素子の基本特性について、以下に説明する。

【0091】以下に述べる表面伝導型電子放出素子の基本特性は、図5の測定評価系のアノード電極54の電圧を1kV～10kVとし、アノード電極54と表面伝導

型電子放出素子の距離Hを2~8mmとして、通常測定を行う。

【0092】まず、放出電流 I_e 及び素子電流 I_f と、素子電圧 V_f との関係の典型的な例を図6に示す。尚、図6の(a)において、放出電流 I_e は素子電流 I_f に比べて著しく小さいので、任意単位で示されている。

【0093】図6の(a)から明らかなように、表面伝導型電子放出素子は、放出電流 I_e に対する次の3つの特徴的特性を有する。

【0094】まず第1に、表面伝導型電子放出素子はある電圧(しきい値電圧と呼ぶ:図6の(a)中の V_{th})を超える素子電圧 V_f を印加すると急激に放出電流 I_e が増加し、一方しきい値電圧 V_{th} 以下では放出電流 I_e が殆ど検出されない。即ち、放出電流 I_e に対する明確なしきい値電圧 V_{th} を持った非線形素子である。

【0095】第2に、放出電流 I_e が素子電圧 V_f に対して単調増加する特性(MI特性と呼ぶ)を有するため、放出電流 I_e は素子電圧 V_f で制御できる。

【0096】第3に、アノード電極54(図5参照)に補足される放出電荷は、素子電圧 V_f を印加する時間に依存する。即ち、アノード電極54に捕捉される電荷量は、素子電圧 V_f を印加する時間により制御できる。

【0097】放出電流 I_e が素子電圧 V_f に対してMI特性を有すると同時に、素子電流 I_f も素子電圧 V_f に対してMI特性を有する場合もある。このような表面伝導型電子放出素子の特性の例が図6の(a)に示す特性である。一方、図6の(b)に示すように、素子電流 I_f は素子電圧 V_f に対して電圧制御型負性抵抗特性(VCNR特性と呼ぶ)を示す場合もある。いずれの特性を示すかは、表面伝導型電子放出素子の製法及び測定時の測定条件等に依存する。但し、素子電流 I_f が次に、本発明に係る電子源の一例として前述の表面伝導型電子放出素子を複数配置した電子源について述べる。まず、表面伝導型電子放出素子の配列方式について説明する。

【0098】本発明に係る電子源における表面伝導型電子放出素子の配列方式としては、従来の技術の項で述べたような梯型配置の他、m本のX方向配線の上にn本のY方向配線を層間絶縁層を介して設置し、表面伝導型電子放出素子の一对の素子電極に夫々X方向配線、Y方向配線を接続した配置方式が挙げられる。これを以後単純マトリクス配置と呼ぶ。まず、この単純マトリクス配置について詳述する。

【0099】前述した表面伝導型電子放出素子の基本的特性によれば、単純マトリクス配置された表面伝導型電子放出素子における放出電子は、しきい値電圧を超える電圧では、対向する素子電極間に印加するパルス状電圧の波高値とパルス幅で制御できる。一方、しきい値電圧以下では殆ど電子は放出されない。従って、多数の表面伝導型電子放出素子を配置した場合においても、個々の

素子に上記パルス状電圧を適宜印加すれば、入力信号に応じて表面伝導型電子放出素子を選択し、その電子放出量が制御でき、単純なマトリクス配線だけで個別の表面伝導型電子放出素子を選択して独立に駆動可能となる。

【0100】単純マトリクス配置はこのような原理に基づくもので、本発明に係る電子源の一例である、この単純マトリクス配置の電子源の構成について図7に基づいて更に説明する。

【0101】図7において基板1は既に説明したようなガラス板等であり、この基板1上に配列された本発明による表面伝導型電子放出素子104の個数及び形状は用途に応じて適宜設定されるものである。

【0102】m本のX方向配線102は、夫々外部端子 D_{x1} , D_{x2} , ..., D_{xm} を有するもので、基板1上に、真空蒸着法、印刷法、スパッタ法等で形成した導電性金属等である。また、多数の表面伝導型電子放出素子104にほぼ均等に電圧が供給されるように、材料、膜厚、配線幅が設定されている。

【0103】n本のY方向配線103は、夫々外部端子 D_{y1} , D_{y2} , ..., D_{yn} を有するもので、X方向配線102と同様に作成される。

【0104】これらm本のX方向配線102とn本のY方向配線103間には、不図示の層間絶縁層が設置され、電気的に分離されて、マトリクス配線を構成している。尚、このm, nは共に正の整数である。

【0105】不図示の層間絶縁層は、真空蒸着法、印刷法、スパッタ法等で形成された SiO_2 等であり、X方向配線102を形成した基板1の全面或は一部に所望の形状で形成され、特に、X方向配線102とY方向配線103の交差部の電位差に耐え得るように、膜厚、材料、製法が適宜設定される。X方向配線102とY方向配線103は、それぞれ外部端子として引き出されている。

【0106】更に、表面伝導型電子放出素子104の対向する素子電極(不図示)が、m本のX方向配線102と、n本のY方向配線103と、真空蒸着法、印刷法、スパッタ法等で形成された導電性金属等からなる結線105によって電気的に接続されているものである。

【0107】ここで、m本のX方向配線102と、n本のY方向配線103と、結線105と、対向する素子電極とは、その構成元素の一部あるいは全部が同一であっても、また夫々異なってもよく、前述の素子電極の材料等より適宜選択される。これら素子電極への配線は、素子電極と材料が同一である場合は素子電極と総称する場合もある。また、表面伝導型電子放出素子104は、基板1あるいは不図示の層間絶縁層上どちらに形成してもよい。

【0108】また、詳しくは後述するが、前記X方向配線102には、X方向に配列された表面伝導型電子放出素子104の行を入力信号に応じて走査するために、走

17

査信号を印加する不図示の走査信号印加手段が電氣的に接続されている。

【0109】一方、Y方向配線103には、Y方向に配列された表面伝導型電子放出素子104の列の各列を入力信号に応じて変調するために、変調信号を印加する不図示の変調信号発生手段が電氣的に接続されている。更に、各表面伝導型電子放出素子104に印加される駆動電圧は、当該表面伝導型電子放出素子104に印加される走査信号と変調信号の差電圧として供給されるものである。

【0110】次に、以上のような単純マトリクス配置の電子源を用いて構成される本発明に係る画像形成装置の一例を、図8～図10を用いて説明する。尚、図8は表示パネル201の基本構成図であり、図9は蛍光膜114を示す図であり、図10は図8の表示パネル201で、NTSC方式のテレビ信号に応じてテレビジョン表示を行うための駆動回路の一例を示すブロック図である。

【0111】図8において、1は上述のようにして表面伝導型電子放出素子を配置した電子源の基板、111は基板1を固定したリアプレート、116はガラス基板113の内面に蛍光膜114とメタルバック115等が形成されたフェースプレート、112は支持枠であり、リアプレート111、支持枠112及びフェースプレート116にフリットガラス等を塗布し、大気中あるいは窒素中で、400～500℃で10分以上焼成することで封着して外囲器118を構成している。

【0112】図8において、102、103は、表面伝導型電子放出素子104の一对の素子電極4、5（図1参照）と接続されたX方向配線及びY方向配線で、夫々外部端子Dx1ないしDxm、Dy1ないしDynを有している。

【0113】外囲器118は、上述の如く、フェースプレート116、支持枠112、リアプレート111で構成されている。しかし、リアプレート111は主に基板1の強度を補強する目的で設けられるものであり、基板1自体で十分な強度を持つ場合は別体のリアプレート111は不要で、基板1に直接支持枠112を封着し、フェースプレート116、支持枠112、基板1にて外囲器118を構成してもよい。また、フェースプレート116、リアプレート111の間にスペーサと呼ばれる不図示の支持体を更に設置することで、大気圧に対して十分な強度を有する外囲器118とすることもできる。

【0114】蛍光膜114は、モノクロームの場合は蛍光体122のみからなるが、カラーの蛍光膜114の場合は、蛍光体122の配列により、ブラックストライプ（図9（a））あるいはブラックマトリクス（図9（b））等と呼ばれる黒色導伝材121と蛍光体122とで構成される。ブラックストライプ、ブラックマトリ

18

クスが設けられる目的は、カラー表示の場合必要となる三原色の各蛍光体122間の塗り分け部を黒くすることで混色等を目立たなくすることと、蛍光膜114における外光反射によるコントラストの低下を抑制することである。黒色導伝材121の材料としては、通常良く用いられている黒鉛を主成分とする材料だけでなく、導電性があり、光の透過及び反射が少ない材料であれば他の材料を用いることもできる。

【0115】ガラス基板113に蛍光体122を塗布する方法としては、モノクローム、カラーによらず、沈澱法や印刷法が用いられる。

【0116】また、図8に示されるように、蛍光膜114の内面側には通常メタルバック115が設けられる。メタルバック115の目的は、蛍光体122（図9参照）の発光のうち内面側への光をフェースプレート116側へ鏡面反射することにより輝度を向上すること、電子ビーム加速電圧を印加するための電極として作用すること、外囲器118内で発生した負イオンの衝突によるダメージからの蛍光体122の保護等である。メタルバック115は、蛍光膜114の作製後、蛍光膜114の内面側表面の平滑化処理（通常フィルミングと呼ばれる）を行い、その後A1を真空蒸着等で堆積することで作製できる。

【0117】フェースプレート116には、更に蛍光膜114の導伝性を高めるため、蛍光膜114の外面側に透明電極（不図示）を設けてもよい。

【0118】前述の封着を行う際、カラーの場合は各色蛍光体122と表面伝導型電子放出素子104とを対応させなくてはならないため、十分な位置合わせを行なう必要がある。

【0119】外囲器118内は、不図示の排気管を通じて排気し、所定の真空度に達した後、封止される。また、外囲器118の封止後の真空度を維持するためにゲッター処理を行うこともできる。これは、外囲器118の封止を行う直前あるいは封止後に抵抗加熱あるいは高周波加熱等により、外囲器118内の所定の位置に配置したゲッター（不図示）を加熱し、蒸着膜を形成する処理である。ゲッターは通常Ba等が主成分であり、該蒸着膜の吸着作用により、例えば1×10の-5乗ないしは1×10の-7乗torrの真空度を維持するためのものである。

【0120】尚、前述したフォーミング処理以降の表面伝導型電子放出素子の各製造工程は、通常、外囲器118の封止直前又は封止後に行われるもので、その内容は前述した通りである。

【0121】上述の表示パネル201は、例えば図10に示されるような駆動回路で駆動することができる。尚、図10において、201は表示パネル、202は走査回路、203は制御回路、204はシフトレジスタ、205はラインメモリ、206は同期信号分離回路、2

07は変調信号発生器、 V_x 及び V_a は直流電圧源である。

【0122】図10に示されるように、表示パネル201は、外部端子 D_{x1} ないし D_{xm} 、外部端子 D_{y1} ないし D_{yn} 及び高圧端子 H_v を介して外部の電気回路と接続されている。この内、外部端子 D_{x1} ないし D_{xm} には前記表示パネル201内に設けられている表面伝導型電子放出素子、即ち m 行 n 列の行列状にマトリクス配置された表面伝導型電子放出素子群を1行(n 素子ずつ)順次駆動して行くための走査信号が印加される。

【0123】一方、端子 D_{y1} ないし外部端子 D_{yn} には、前記走査信号により選択された1行の各表面伝導型電子放出素子の出力電子ビームを制御するための変調信号が印加される。また、高圧端子 H_v には、直流電圧源 V_a より、例えば10kVの直流電圧が供給される。これは表面伝導型電子放出素子より出力される電子ビームに、蛍光体を励起するのに十分なエネルギーを付与するための加速電圧である。

【0124】走査回路202は、内部に m 個のスイッチング素子(図10中 S_1 ないし S_m で模式的に示す)を備えるもので、各スイッチング素子 $S_1 \sim S_m$ は、直流電圧電源 V_x の出力電圧もしくは0V(グランドレベル)のいずれか一方を選択して、表示パネル201の外部端子 D_{x1} ないし D_{xm} と電気的に接続するものである。各スイッチング素子 $S_1 \sim S_m$ は、制御回路203が出力する制御信号 T_{scan} に基づいて動作するもので、実際には、例えばFETのようなスイッチング機能を有する素子を組み合わせることにより容易に構成することが可能である。

【0125】本例における前記直流電圧源 V_x は、前記表面伝導型電子放出素子の特性(しきい値電圧)に基づき、走査されていない表面伝導型電子放出素子に印加される駆動電圧がしきい値電圧以下となるような一定電圧を出力するよう設定されている。

【0126】制御回路203は、外部より入力される画像信号に基づいて適切な表示が行われるように、各部の動作を整合させる働きを持つものである。次に説明する同期信号分離回路206より送られる同期信号 T_{sync} に基づいて、各部に対して T_{scan} 、 T_{sft} 及び T_{mry} の各制御信号を発生する。

【0127】同期信号分離回路206は、外部から入力されるNTSC方式のテレビ信号から、同期信号成分と輝度信号成分を分離するための回路で、よく知られているように、周波数分離(フィルター)回路を用いれば、容易に構成できるものである。同期信号分離回路206により分離された同期信号は、これもよく知られるように、垂直同期信号と水平同期信号よりなる。ここでは、説明の便宜上 T_{sync} として図示する。一方、前記テレビ信号から分離された画像の輝度信号成分を便宜上DATA信号と図示する。このDATA信号はシフトレジ

スタ204に入力される。

【0128】シフトレジスタ204は、時系列的にシリアル入力される前記DATA信号を、画像の1ライン毎にシリアル/パラレル変換するためのもので、前記制御回路203より送られる制御信号 T_{sft} に基づいて作動する。この制御信号 T_{sft} は、シフトレジスタ204のシフトクロックであると言い換えてもよい。また、シリアル/パラレル変換された画像1ライン分(表面伝導型電子放出素子の n 素子分の駆動データに相当する)のデータは、 I_{d1} ないし I_{dn} の n 個の並列信号として前記シフトレジスタ204より出力される。

【0129】ラインメモリ205は、画像1ライン分のデータを必要時間だけ記憶するための記憶装置であり、制御回路203より送られる制御信号 T_{mry} に従って適宜 I_{d1} ないし I_{dn} の内容を記憶する。記憶された内容は、 $I_{d'1}$ ないし $I_{d'n}$ として出力され、変調信号発生器207に入力される。

【0130】変調信号発生器207は、前記画像データ $I_{d'1}$ ないし $I_{d'n}$ の各々に応じて、表面伝導型電子放出素子の各々を適切に駆動変調するための信号源で、その出力信号は、端子 D_{y1} ないし D_{yn} を通じて表示パネル201内の表面伝導型電子放出素子に印加される。

【0131】前述したように、表面伝導型電子放出素子は電子放出に明確なしきい値電圧を有しており、しきい値電圧を超える電圧が印加された場合にのみ電子放出が生じる。また、しきい値電圧を超える電圧に対しては表面伝導型電子放出素子への印加電圧の変化に応じて放出電流も変化して行く。表面伝導型電子放出素子の材料、構成、製造方法を変えることにより、しきい値電圧の値や印加電圧に対する放出電流の変化度合いが変わる場合もあるが、いずれにしても以下のことがいえる。

【0132】即ち、表面伝導型電子放出素子にパルス状の電圧を印加する場合、例えばしきい値電圧以下の電圧を印加しても電子放出は生じないが、しきい値電圧を超える電圧を印加する場合には電子放出を生じる。その際、第1には電圧パルスの波高値を変化させることにより、出力される電子ビームの強度を制御することが可能である。第2には、電圧パルスの幅を変化させることにより、出力される電子ビームの電荷の総量を制御することが可能である。

【0133】従って、入力信号に応じて表面伝導型電子放出素子を変調する方式としては、電圧変調方式とパルス幅変調方式とが挙げられる。電圧変調方式を行う場合、変調信号発生器207としては、一定の長さの電圧パルスを発生するが、入力されるデータに応じて適宜パルスの波高値を変調できる電圧変調方式の回路を用いる。また、パルス幅変調方式を行う場合、変調信号発生器207としては、一定の波高値の電圧パルスを発生するが、入力されるデータに応じて適宜パルス幅を変調で

21

きるパルス幅変調方式の回路を用いる。

【0134】シフトレジスタ204やラインメモリ205は、デジタル信号式のものでもアナログ信号式のものでもよく、画像信号のシリアル/パラレル変換や記憶が所定の速度で行えるものであればよい。

【0135】デジタル信号式を用いる場合には、同期信号分離回路206の出力信号DATAをデジタル信号化する必要がある。これは同期信号分離回路206の出力部にA/D変換器を設けることで行える。

【0136】また、これと関連して、ラインメモリ205の出力信号がデジタル信号かアナログ信号かにより、変調信号発生器207に設けられる回路が若干異なるものとなる。

【0137】即ち、デジタル信号で電圧変調方式の場合、変調信号発生器207には、例えばよく知られているD/A変換回路を用い、必要に応じて増幅回路等を付け加えればよい。また、デジタル信号でパルス幅変調方式の場合、変調信号発生器207は、例えば高速の発振器及び発振器の出力する波数を計数する計数器(カウンタ)及び計数器の出力値と前記メモリの出力値を比較する比較器(コンパレータ)を組み合わせた回路を用いることで容易に構成することができる。更に、必要に応じて、比較器の出力するパルス幅変調された変調信号を表面伝導型電子放出素子の駆動電圧にまで電圧増幅するための増幅器を付け加えてもよい。

【0138】一方、アナログ信号で電圧変調方式の場合、変調信号発生器207には、例えばよく知られているオペアンプ等を用いた増幅回路を用いればよく、必要に応じてレベルシフト回路等を付け加えてもよい。また、アナログ信号でパルス幅変調方式の場合、例えばよく知られている電圧制御型発振回路(VCO)を用いればよく、必要に応じて表面伝導型電子放出素子の駆動電圧にまで電圧増幅するための増幅器を付け加えてもよい。

【0139】以上のような表示パネル201及び駆動回路を有する本発明に係る画像形成装置は、端子Dx1~Dxm及びDy1~Dynから電圧を印加することにより、必要な表面伝導型電子放出素子から電子を放出させることができ、高圧端子Hvを通じて、メタルバック115あるいは透明電極(不図示)に高電圧を印加して電子ビームを加速し、加速した電子ビームを蛍光膜114に衝突させることで生じる励起・発光によって、NTSC方式のテレビ信号に応じてテレビジョン表示を行うことができるものである。

【0140】尚、以上説明した構成は、表示等を用いられる本発明に係る画像形成装置を得る上で必要な概略構成であり、例えば各部材の材料等、詳細な部分は上述の内容に限られるものではなく、画像形成装置の用途に適するよう、適宜選択されるものである。また、入力信号としてNTSC方式を挙げたが、本発明に係る画像形成

22

装置はこれに限られるものではなく、PAL、SECAM方式等の他の方式でもよく、更にはこれらよりも多数の走査線からなるTV信号、例えばMUSE方式を初めとする高品位TV方式でもよい。

【0141】次に、前述の梯型配置の電子源及びこれを用いて構成される本発明に係る画像形成装置の一例について図11及び図12を用いて説明する。

【0142】図11において、1は基板、104は表面伝導型電子放出素子、304は表面伝導型電子放出素子104を接続する共通配線で10本設けられており、各々外部端子D1~D10を有している。

【0143】表面伝導型電子放出素子104は、基板1上に並列に複数個配置されている。これを素子行と呼ぶ。そしてこの素子行が複数行配置されて電子源を構成している。

【0144】各素子行の共通配線304(例えば外部端子D1とD2の共通配線304)間に適宜の駆動電圧を印加することで、各素子行を独立に駆動することが可能である。即ち、電子ビームを放出させたい素子行にはしきい値電圧を超える電圧を印加し、電子ビームを放出させたくない素子行にはしきい値電圧以下の電圧を印加するようにすればよい。このような駆動電圧の印加は、各素子行間に位置する共通配線D2~D9について、夫々相隣接する共通配線304、即ち夫々相隣接する外部端子D2とD3、D4とD5、D6とD7、D8とD9の共通配線304を一体の同一配線としても行うことができる。

【0145】図12は、上記梯型配置の電子源を備えた表示パネル301の構造を示す図である。

【0146】図12中302はグリッド電極、303は電子が通過するための開口、D1~Dmは各表面伝導型電子放出素子に電圧を印加するための外部端子、G1~Gnはグリッド電極302に接続された外部端子である。また、各素子行間の共通配線304は一体の同一配線として基板1上に形成されている。

【0147】尚、図12において図8と同じ符号は同じ部材を示すものであり、図8に示される単純マトリクス配置の電子源を用いた表示パネル201との大きな違いは、基板1とフェースプレート116の間にグリッド電極302を備えている点である。

【0148】基板1とフェースプレート116の間には、上記のようにグリッド電極302が設けられている。このグリッド電極302は、表面伝導型電子放出素子104から放出された電子ビームを変調することができるもので、梯型配置の素子行と直行して設けられたストライプ状の電極に、電子ビームを通過させるために、各表面伝導型電子放出素子104に対応して1個ずつ円形の開口303を設けたものとなっている。

【0149】グリッド電極302の形状や配置位置は、必ずしも図12に示すようなものでなければならぬ

23

のではなく、開口303をメッシュ状に多数設けることもあり、またグリッド電極302を、例えば表面伝導型電子放出素子104の周囲や近傍に設けてもよい。

【0150】外部端子D1~Dm及びG1~Gnは不図示の駆動回路に接続されている。そして、素子行を1列ずつ順次駆動（走査）して行くのと同期してグリッド電極302の列に画像1ライン分の変調信号を印加することにより、各電子ビームの蛍光膜114への照射を制御し、画像を1ラインずつ表示することができる。

【0151】以上のように、本発明に係る画像形成装置は、単純マトリクス配置及び梯型配置のいずれの本発明に係る電子源を用いても得ることができ、上述したテレビジョン放送の表示装置のみならず、テレビ会議システム、コンピューター等の表示装置として好適な画像形成装置が得られる。更には、感光ドラムとて構成した光プリンターの露光装置としても用いることができるものである。

【0152】

【実施例】以下に、具体的な実施例を挙げて本発明を詳しく説明するが、本発明はこれら実施例に限定されるものではなく、本発明の目的が達成される範囲内での各要素の置換や設計変更がなされたものをも包含する。

【0153】（実施例1）本実施例の表面伝導型電子放出素子の構成は、図1に示されるものと同様であり、図13~図15の製造工程図に基づきその製造方法を以下に説明する。

【0154】1）絶縁性基板1として石英基板を用い、これを洗剤、純水および有機溶剤により十分に洗浄を行った（図13（a））。

【0155】2）レジスト材（RD-2000N・日立化成社製）を2500rpmで40秒間スピナー塗布し、80℃で25分加熱してプリベークした（図13（b））。

【0156】3）素子電極間隔Lは2μm、素子電極長さWは500μmの電極形状に対応するマスクを用いて密着露光し、RD-2000N用現像液で現像した（図13（c））。その後、120℃で20分加熱してポストベークした。

【0157】4）抵抗加熱蒸着機を用いてニッケルを毎秒0.3nmで膜厚が100nmになるまで蒸着した（図13（d））。

【0158】5）アセトンでリフトオフし、アセトン、イソプロピルアルコール、つづいて酢酸ブチルで洗浄後、乾燥して素子電極4、5をパターン形成した（図13（e））。

【0159】6）次に、クロムを基板上全面に50nm蒸着した（図14（a））。

【0160】7）レジスト材（AZ1370・ヘキスト社製）を2500rpmで30秒スピナー塗布し、90℃で30分加熱してプリベークした（図14（b））。

24

【0161】8）導電性膜材料を塗布するパターンを有するマスクを用いて露光し（図14（c））、現像液MIF312で現像した（図14（d））。その後、120℃で30分加熱しポストベークした。

【0162】9） $(\text{NH}_4)_2\text{Ce}(\text{NO}_3)_6/\text{HClO}_4/\text{H}_2\text{O}=17\text{g}/5\text{cc}/100\text{cc}$ の組成の溶液に30秒浸漬し、クロムをエッチングした（図14（e））。

【0163】10）アセトン中、10分間超音波攪拌してレジストを剥離した（図14（f））。

【0164】11）有機Pd（ccp4230奥野製薬（株）社製）を800rpmで30秒スピナー塗布し、300℃で10分間焼成し、酸化パラジウム（PdO）微粒子（平均粒径：7nm）を主体とする微粒子状の導電性膜3を形成した（図14（g））。

【0165】12）クロムをリフトオフし、導電性膜3のパターンを形成した（図14（h））。このパターンは、その幅を300μmとし、素子電極4と5のほぼ中央部に配置した。

【0166】また、この導電性膜3の膜厚は10nm、シート抵抗値は $5 \times 10^4 \Omega/\square$ であった。なおここで述べる微粒子膜とは、複数の微粒子が集合した膜であり、その微細構造として、微粒子が個々に分散配置した状態のみならず、微粒子が互いに隣接、あるいは、重なり合った状態（島状も含む）の膜を指し、その粒径とは、前記状態で粒子形状が認識可能な微粒子についての径をいう。

【0167】13）上記工程を経た基板1を図5の測定評価系の真空容器55内に設置し、真空ポンプにて排気し、 $2 \times 10^{-7} \text{ torr}$ の真空度に達した後、電源51より素子電極4、5間に電圧を印加し、通電処理（フォーミング処理）を施して電子放出部2を形成した（図15（a）、（b））。フォーミング処理の電圧波形は図4（b）に示されるような波形とした。

【0168】図4（b）中、T1及びT2は電圧波形のパルス幅とパルス間隔であり、本実施例ではT1を1ミリ秒、T2を10ミリ秒とし、三角波ではなく矩形波を用い、矩形波の波高値（フォーミング時のピーク電圧）は0.1Vステップで昇圧させてフォーミング処理を行なった。また、フォーミング処理中は、同時に、0.1Vの電圧でT2間に抵抗測定パルス挿入して抵抗を測定した。尚、フォーミング処理の終了は、抵抗測定パルスでの測定値が1Mオームを示した時とし、同時に、表面伝導型電子放出素子への電圧の印加を終了した。

【0169】以上のようにして作製された素子について、室温下でアセトンを約 $1 \times 10^{-4} \text{ torr}$ 導入して、素子電極4、5間に電圧を印加して活性化（活性化工程1）を行なった。活性化工程1での電圧波形は、パルス幅100マイクロ秒とパルス間隔10ミリ秒の矩形波を用い、矩形波の波高値は10Vから14Vまで3.3

25

mV/secで徐々に電圧を増加させながら行った。

【0170】アセトンを経排気して、真空度を 6×10^{-8} torrにした後、素子電極4、5間に電圧を2時間印加して活性化(活性化工程2)を行った。

【0171】活性化工程2での電圧波形は、パルス幅100マイクロ秒とパルス間隔10ミリ秒の矩形波を用い、矩形波の波高値は14Vに固定して行った。

【0172】この活性化工程1、2をさらに3回繰り返した。

【0173】以上のようにして得られた素子の特性を、アノード電極54に1kVを印加し、アノード電極54と電子放出素子との距離Hを4mmとして、真空度 1×10^{-8} torrの環境下で測定を行った。その結果、素子電圧が14Vの時、素子電流Ifは1.8mA、放出電流Ieは0.9 μ Aとなり、電子放出効率 η は0.05%であった。また、素子電流If、放出電流Ieの減少率 δf 、 δe は、それぞれ55%と50%であった。

【0174】但し、測定開始 $t=0$ から任意の時間 t での減少率 δf 、 δe は、

$$\delta f = I_f(t=t) / I_f(t=0) \times 100$$

$$\delta e = I_e(t=t) / I_e(t=0) \times 100$$

と定義した。

【0175】(実施例2)実施例1の活性化工程1を、室温下でメタンを1 torr導入して行った以外は実施例1と全く同様にして電子放出素子を作製した。

【0176】その後、 1×10^{-8} torrまで排気して、If、Ieの測定を行った。その結果、素子電圧が14Vの時、素子電流Ifは1.5mA、放出電流Ieは1.2 μ Aとなり、電子放出効率 η は0.08%であった。また、素子電流If、放出電流Ieの減少率 δf 、 δe は、それぞれ60%と58%であった。

【0177】(実施例3)実施例1で、素子基板を300℃に加熱して、活性化工程2を行った以外は実施例1と全く同様にして電子放出素子を作製した。

【0178】その後、 1×10^{-8} torrまで排気して、If、Ieの測定を行った。その結果、素子電圧が14Vの時、素子電流Ifは1.7mA、放出電流Ieは1.4 μ Aとなり、電子放出効率 η は0.082%であった。また、素子電流If、放出電流Ieの減少率 δf 、 δe は、それぞれ59%と60%であった。

【0179】(実施例4)実施例1で、水素ガス分圧 5×10^{-7} torrの雰囲気下で活性化工程2を行った以外は実施例1と全く同様にして電子放出素子を作製した。

【0180】その後、 1×10^{-8} torrまで排気して、If、Ieの測定を行った。その結果、素子電圧が14Vの時、素子電流Ifは1.3mA、放出電流Ieは1.1 μ Aとなり、電子放出効率 η は0.085%であった。また、素子電流If、放出電流Ieの減少率 δf 、 δe は、それぞれ57%と58%であった。

26

【0181】(比較例1)実施例1で、活性化工程1のみを行ない活性化工程1及び2の繰り返しを行わなかった以外は、実施例1と全く同様にして電子放出素子を作製した。得られた素子に対し、実施例1と同様にIf、Ieの測定を行った。その結果、素子電圧が14Vの時、素子電流Ifは1.5mA、放出電流Ieは0.6 μ Aとなり、電子放出効率 η は0.04%であった。また、素子電流If、放出電流Ieの減少率 δf 、 δe は、それぞれ42%と40%であった。

【0182】(実施例5)実施例1と同様の製造方法で、電子放出素子を基板上にライン状に多数作製し、図11に示したような複数の導電性膜が梯型配線された基板1を作製した。次に、この複数の導電性膜が梯型配線された基板1を用いて図12に示したような画像形成装置を作製した。この作製方法を以下に具体的に説明する。

【0183】まず、複数の導電性膜が梯型配線された基板1をリアプレート111上に固定した後、電子源基板1の上方に、電子通過孔303を有するグリッド電極302を共通配線304と直交する方向に配置した。更に、電子源基板1の5mm上方に、フェースプレート116(ガラス基板の内面に蛍光膜とメタルバックが形成されて構成される)を支持棒112を介し配置し、フェースプレート116、支持棒112、リアプレート111の接合部にフリットガラスを塗布し、大気中で430℃で10分以上焼成することで封着した。尚、リアプレート111への電子源基板1の固定もフリットガラスで行った。

【0184】蛍光膜は、ストライプ配列のカラーの蛍光膜(図9(a)参照)を採用し、先にブラックストライプを形成し、その間隙部に各色蛍光体を塗布して作製した。ブラックストライプの材料としては、通常よく用いられている黒鉛を主成分とする材料を用いた。尚、ガラス基板に蛍光体を塗布する方法はスラリー法を用いた。

【0185】また、蛍光膜の内面側にはメタルバックを設けた。メタルバックは、蛍光膜作製後、蛍光膜の内面側表面の平滑化処理(通常フィルミングと呼ばれる)を行い、その後A1を真空蒸着することで作製した。

【0186】前述の封着を行う際、カラーの場合は各色蛍光体と電子放出素子とを対応させなくてはならないため、十分な位置合わせを行った。

【0187】以上のようにして完成した外囲器118内の雰囲気を排気管(図示せず)を通じ真空ポンプにて排気し、十分な真空導入達した後、容器外端子D1ないしDmを通じ素子電極間に電圧を印加し、前述のフォーミングを行い、電子放出部を形成した。

【0188】次に、外囲器118内にアセトンを 1×10^{-4} torr導入し、容器外端子D1ないしDmを通じ素子電極間に電圧を10分間印加し活性化工程1を行った。その後、アセトンを排気した。

27

【0189】次に、外囲器118内を約 1×10^{-6} torrの真空度とした後、素子電極間に電圧を200分間印加し、活性化工程2を行った。

【0190】更に、上記活性化工程1、2を3回繰り返した。

【0191】最後に、外囲器118内を約 1×10^{-7} torrの真空度とした後、不図示の排気管をガスバーナーで熱することで溶着し外囲器118の封止を行った後、封止後の真空度を維持するために、ゲッター処理を行った。

【0192】以上のように完成した本発明による画像表示装置(図12参照)において、各電子放出素子には、容器外端子D1ないしDmを通じ電圧を印加することにより電子放出させ、放出された電子はグリッド電極302の電子通過孔303を通過した後、高圧端子Hvを通じ、メタルバック(不図示)に印加された数kV以上の高圧により加速され、蛍光膜(不図示)に衝突し、励起・発光させる。その際、グリッド電極302に情報信号に応じた電圧を容器外端子G1ないしGnを通じ印加することにより、電子通過孔303を通過する電子ビームを制御し画像表示するものである。

【0193】本実施例では、絶縁層であるSiO₂(不図示)を介し、電子源基板1の10 μ m上方に50 μ m径の電子通過孔303を有するグリッド電極302を配置することで、加速電圧として上記メタルバックに6kV印加したとき、電子ビームのオンとオフは50V以内の変調電圧で制御できた。また、表示画像は、良好なコントラストが得られ、数時間連続して表示させても、表示画像に大きな変化は見られなかった。

【0194】(実施例6)多数の表面伝導型電子放出素子を単純マトリクス配置した電子源を用いて画像形成装置を作製した例を説明する。

【0195】複数の導電性膜がマトリクス配線された基板1の一部の平面図を図16に示す。また、図中のA-A'断面図を図17に示す。但し、図7、図8、図16及び図17において同じ符号は同じ部材を示す。

【0196】ここで1は基板、102はX方向配線(下配線とも呼ぶ)、103はY方向配線(上配線とも呼ぶ)、3は導電性膜、4、5は素子電極、401は層間絶縁層、402は素子電極4と下配線102と電気的接続のためのコンタクトホールである。

【0197】先ず、電子源の製造方法を、図18に基づいて工程順に従って具体的に説明する。尚、以下の各工程a~hは図18の(a)~(h)に対応するものである。

【0198】工程-a

十分に清浄化した青板ガラス上に厚さ0.5マイクロメートルのシリコン酸化膜をスパッタ法で形成した基板1上に、真空蒸着により、厚さ5ナノメートルのCr、厚さ600ナノメートルのAuを順次積層した後、ホトレ

28

ジスト(AZ1370・ヘキスト社製)をスピナーにより回転塗布し、ベークした後、ホトムスク像を露光、現像して、下配線102のレジストパターンを形成し、Au/Cr堆積膜をウェットエッチングして、所望の形状の下配線102を形成した。

【0199】工程-b

次に、厚さ1.0マイクロメートルのシリコン酸化膜からなる層間絶縁層401をRFスパッタ法により堆積した。

10 【0200】工程-c

工程bで堆積したシリコン酸化膜にコンタクトホール402を形成するためのホトレジストパターンを作り、これをマスクとして層間絶縁層401をエッチングしてコンタクトホール402を形成した。エッチングはCF₄とH₂ガスをを用いたRIE(Reactive Ion Etching)法によった。

【0201】工程-d

その後、素子電極パターンをホトレジスト(RD-2000N-41・日立化成社製)で形成し、真空蒸着法により、厚さ5ナノメートルのTi、厚さ100ナノメートルのNiを順次堆積した。ホトレジストパターンを有機溶剤で溶解し、Ni/Ti堆積膜をリフトオフし、素子電極間隔Lが3マイクロメートル、幅Wが300マイクロメートルの素子電極4、5を形成した。

【0202】工程-e

上配線103のホトレジストパターンを形成した後、厚さ5ナノメートルのTi、厚さ500ナノメートルのAuを順次真空蒸着により堆積し、リフトオフにより不要の部分を除去して、所望の形状の上配線103を形成した。

【0203】工程-f

次に、膜厚1000ÅのCr膜403を真空蒸着により堆積・パターンニングし、その上に有機Pd(ccp4230・奥野製薬(株)製)をスピナーにより回転塗布し、300℃で10分間の加熱焼成処理をした。こうして形成された主元素がPdOの微粒子からなる導電性膜3の膜厚は約100Å、シート抵抗値は $5 \times 10^4 \Omega/\square$ であった。

【0204】工程-g

40 Cr膜403及び焼成後の導電性膜3を酸エッチャントによりエッチングして所望のパターンを形成した。

【0205】工程-h

コンタクトホール402部分以外にレジストを塗布してパターンを形成し、真空蒸着により厚さ5ナノメートルのTi、厚さ500ナノメートルのAuを順次堆積した。リフトオフにより不要の部分を除去することにより、コンタクトホール402を埋め込んだ。

【0206】以上の工程により、絶縁性基板1上に下配線102、層間絶縁層401、上配線103、素子電極4、5、導電性膜3等を形成した。

29

【0207】次に、以上のようにして作製した複数の導電性膜3がマトリクス配線された基板1（図16）を用いて画像形成装置を構成した例を、図8と図9を用いて説明する。

【0208】上述のようにして複数の導電性膜3がマトリクス配線された基板1（図16）をリアプレート111上に固定した後、基板1の5mm上方に、フェースプレート116（ガラス基板113の内面に蛍光膜114とメタルバック115が形成されて構成される）を支持棒112を介して配置し、フェースプレート116、支持棒112、リアプレート111の接合部にフリットガラスを塗布し、大気中で430℃で10分以上焼成することで封着した。またリアプレート111への基板1の固定もフリットガラスで行った。

【0209】蛍光膜114は、モノクロームの場合は蛍光体122のみからなるが、本実施例では蛍光体122はストライプ形状（図9（a））を採用し、先にブラックストライプを形成し、その間隙部に各色蛍光体122を塗布して蛍光膜114を作製した。ブラックストライプの材料としては、通常よく用いられている黒鉛を主成分とする材料を用いた。

【0210】ガラス基板113に蛍光体122を塗布する方法としてはスラリー法を用いた。また、蛍光膜114の内面側にはメタルバック115を設けた。メタルバック115は、蛍光膜114の作製後、蛍光膜114の内面側表面の平滑化処理（通常フィルミングと呼ばれる）を行い、その後、Alを真空蒸着することで作製した。

【0211】前述の封着を行う際、カラーの場合は各色蛍光体122と表面伝導型電子放出素子104とを対応させなくてはならないため、十分な位置合わせを行った。

【0212】以上のようにして完成した外囲器118内の雰囲気は排気管（図示せず）を通じオイルを使用しない真空ポンプにて 1×10^{-6} torrまで排気した。その後、容器外端子D_{x1}ないしD_{xa}とD_{y1}ないしD_{yn}を通じ電子放出素子104の素子電極4、5間に電圧を印加し、前述のフォーミングを行い電子放出部2を形成した。

【0213】次に、外囲器118内にアセトン 1×10^{-4} torrを導入し、容器外端子D_{x1}ないしD_{xa}とD_{y1}ないしD_{yn}を通じ電子放出素子104の素子電極4、5間に電圧を10分間印加し活性化工程1を行った。その後、アセトンを排気した。

【0214】次に、外囲器118内を約 1×10^{-6} torrの真空度とした後、素子電極4、5間に電圧を200分間印加し、活性化工程2を行った。

【0215】更に、上記の活性化工程1、2を3回繰り返した。

【0216】次に 1×10^{-6} torr程度の真空度で、

30

120℃10時間のベーキングを行った後、不図示の排気管をガスバーナーで熱することで溶着し外囲器118の封止を行った。最後に封止後の真空度を維持するために、ゲッター処理を行った。

【0217】以上のように完成した画像形成装置において、外部端子D_{x1}ないしD_{xm}とD_{y1}ないしD_{yn}を通じ、走査信号及び変調信号を不図示の信号発生手段より夫々表面伝導型電子放出素子104に印加することにより電子放出させると共に、高圧端子H_vを通じてメタルバック114に数kV以上の高圧を印加して、電子ビームを加速し、蛍光膜115に衝突させ、励起・発光させることで画像を表示した。

【0218】その結果、表示画像は、良好なコントラストが得られ、長時間連続表示させても表示画像に大きな変化は見られなかった。

【0219】

【発明の効果】以上説明した様に、本発明によれば、導電性膜の間隙（亀裂）部を含む領域に被覆された炭素質被膜の結晶性を向上することができ、従来よりも電子放出効率が高く、かつ安定性の高い電子放出素子が得られる。

【0220】また、電子放出素子とこれの駆動手段とを備えた電子源においては、安定で制御された電子放出特性が得られ、且つ歩留よく作製できるようになった。

【0221】また、画像形成装置においても、安定で制御された電子放出特性が得られ、例えば蛍光体を画像形成部材とする画像形成装置においては、低電流で明るい高品位な画像形成装置、例えばカラーフラットテレビが実現された。

【図面の簡単な説明】

【図1】本発明に好適な電子放出素子の一例である平面型の表面伝導型電子放出素子を模式的に示した平面図及び縦断面図である。

【図2】本発明に好適な電子放出素子の一例である垂直型の表面伝導型電子放出素子を模式的に示した図である。

【図3】図1の表面伝導型電子放出素子の基本的構成の製法を説明するための図である。

【図4】フォーミング波形の例を示す図である。

【図5】表面伝導型電子放出素子の測定評価系の一例を示す概略的構成図である。

【図6】本発明に好適な表面伝導型電子放出素子の放出電流-素子電圧特性（I-V特性）を示す図である。

【図7】単純マトリクス配置の電子源の概略的構成図である。

【図8】単純マトリクス配置の電子源を用いた画像形成装置に用いる表示パネルの概略的構成図である

【図9】図8の表示パネルにおける蛍光膜を示す図である。

【図10】図8の表示パネルを駆動する駆動回路の一例

31

を示す図である。

【図11】梯型配置の電子源の概略的平面図である。

【図12】梯型配置の電子源を用いた画像形成装置に用いる表示パネルの概略的構成図である。

【図13】本発明の実施例に係る電子放出素子の製造工程を説明するための図である。

【図14】本発明の実施例に係る電子放出素子の製造工程を説明するための図である。

【図15】本発明の実施例に係る電子放出素子の製造工程を説明するための図である。

【図16】本発明の実施例に係るマトリクス配置の電子源の部分平面図である。

【図17】図16におけるA-A'断面図である。

【図18】本発明の実施例に係るマトリクス配置の電子源の製造工程を説明するための図である。

【図19】本発明に係る活性化工程1及び活性化工程2を繰り返して行った際の、素子電流 I_f の変化を示した図である。

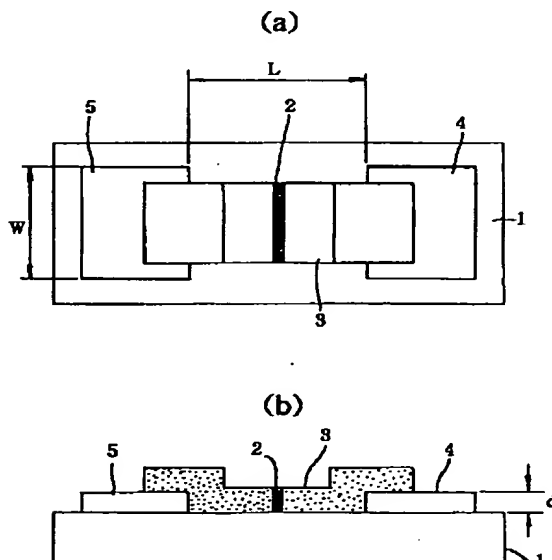
【符号の説明】

- 1 基板
- 2 電子放出部
- 3 導電性膜
- 4, 5 素子電極
- 21 段差形成材
- 50 素子電流 I_f を測定するための電流計
- 51 電源
- 52 放出電流 I_e を測定するための電流計
- 53 高圧電源
- 54 アノード電極

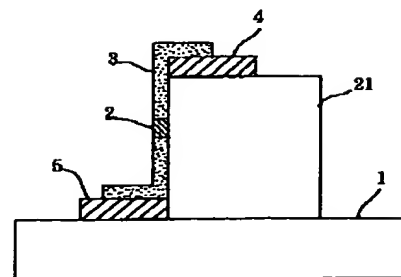
32

- 55 真空装置
- 56 排気ポンプ
- 102 X方向配線（下配線）
- 103 Y方向配線（上配線）
- 104 表面伝導型電子放出素子
- 105 結線
- 111 リアプレート
- 112 支持枠
- 113 ガラス基板
- 114 蛍光膜
- 115 メタルバック
- 116 フェースプレート
- 118 外囲器
- 121 黒色導伝材
- 122 蛍光体
- 201 表示パネル
- 202 走査回路
- 203 制御回路
- 204 シフトレジスタ
- 205 ラインメモリ
- 206 同期信号分離回路
- 207 変調信号発生器
- 301 表示パネル
- 302 グリッド電極
- 303 開口
- 304 共通配線
- 401 層間絶縁層
- 402 コンタクトホール
- 403 Cr膜

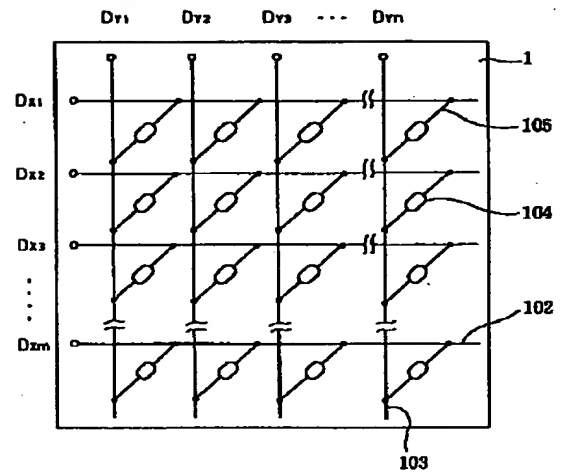
【図1】



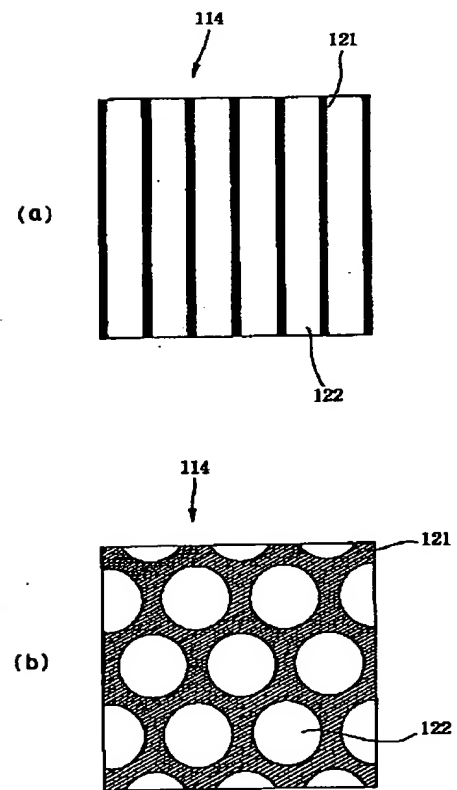
【図2】



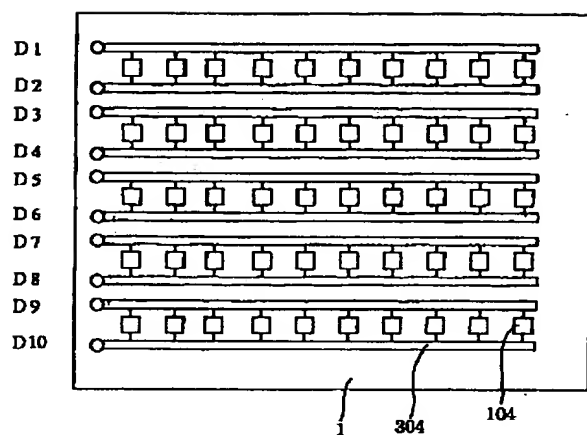
【図7】



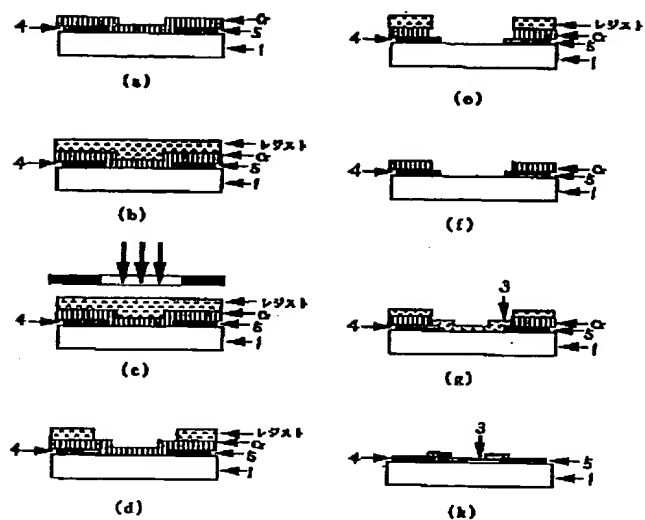
【図9】



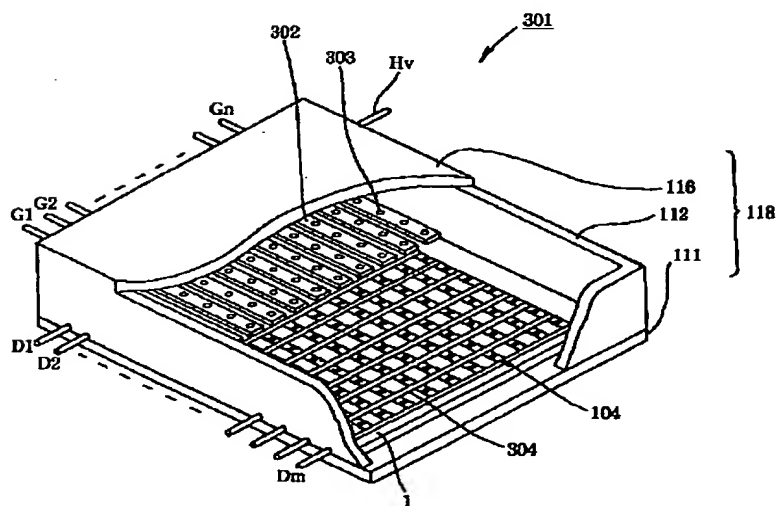
【図11】



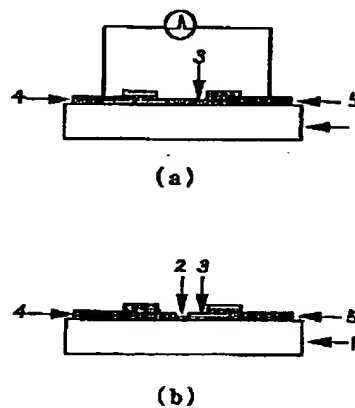
【図14】



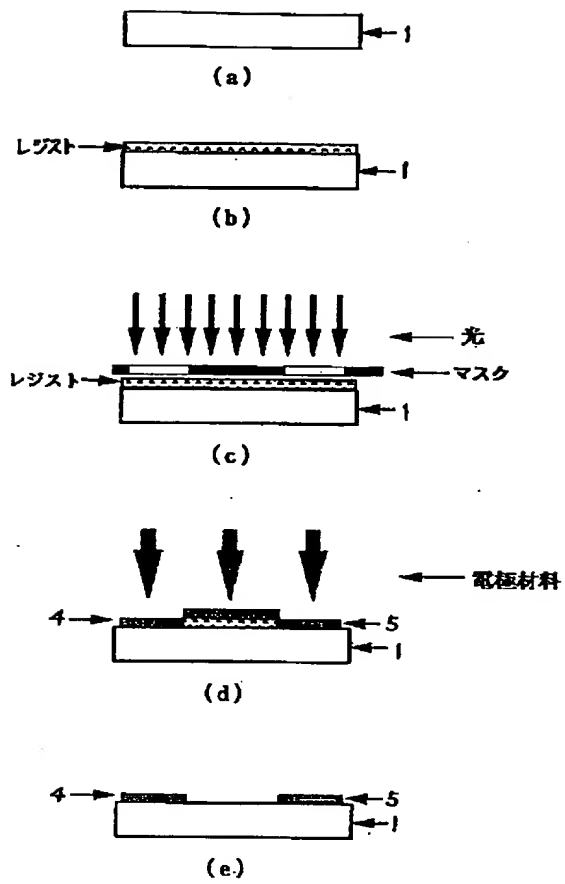
【図12】



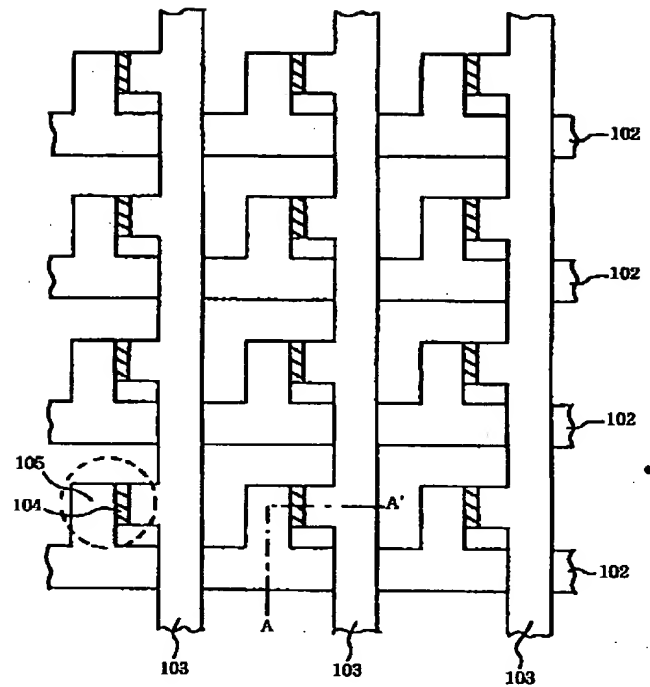
【図15】



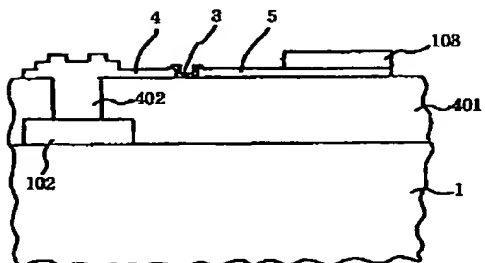
【図13】



【図16】

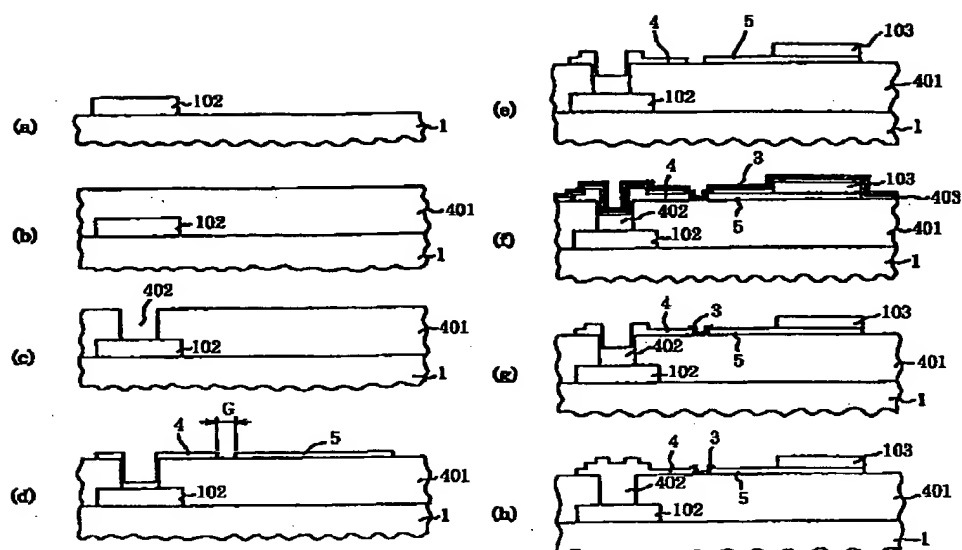


【図17】



A - A' 断面図

【図18】



【図19】

